

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004 年 8 月 5 日 (05.08.2004)

PCT

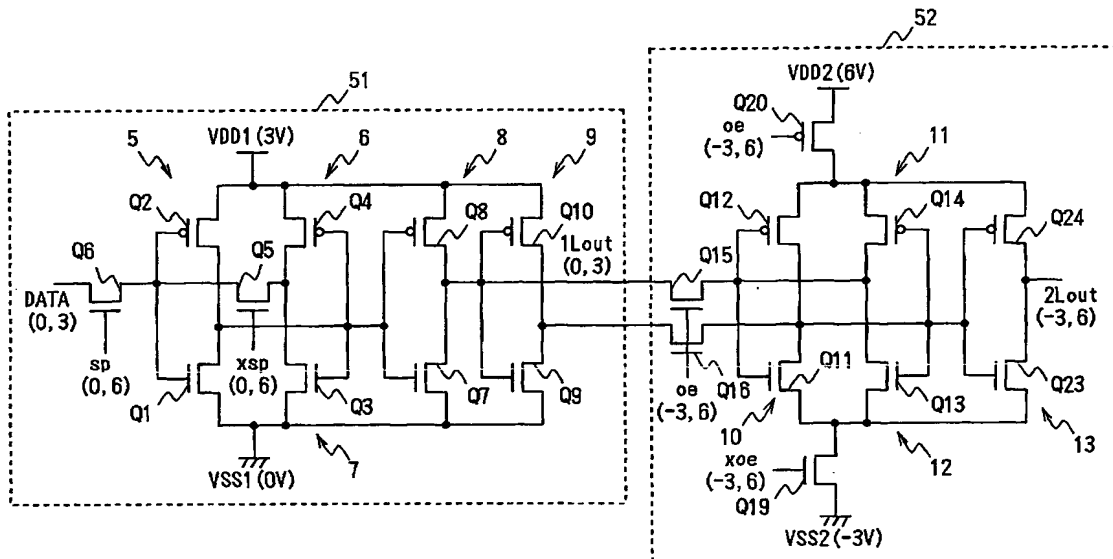
(10) 国際公開番号
WO 2004/066259 A1

- (51) 国際特許分類⁷: G09G 3/36, 3/20, (72) 発明者; および
G02F 1/133, H03K 3/356 (75) 発明者/出願人 (米国についてのみ): 寺西 康幸
(21) 国際出願番号: PCT/JP2003/016865 (TERANISHI, Yasuyuki) [JP/JP]; 〒141-0001 東京都
(22) 国際出願日: 2003 年 12 月 26 日 (26.12.2003) 品川区 北品川 6 丁目 7 番 3 5 号 ソニー株式会社
(25) 国際出願の言語: 日本語 社内 Tokyo (JP). 仲島 義晴 (NAKAJIMA, Yoshiharu)
(26) 国際公開の言語: 日本語 [JP/JP]; 〒141-0001 東京都 品川区 北品川 6 丁目
7 番 3 5 号 ソニー株式会社 社内 Tokyo (JP). 豊澤 昇
(30) 優先権データ: (TOYOZAWA, Noboru) [JP/JP]; 〒141-0001 東京都 品
特願2003-015637 2003 年 1 月 24 日 (24.01.2003) JP 川区 北品川 6 丁目 7 番 3 5 号 ソニー株式会社 社内
(71) 出願人 (米国を除く全ての指定国について): ソニー株 Tokyo (JP).
式会社 (SONY CORPORATION) [JP/JP]; 〒141-0001 (74) 代理人: 多田 繁範 (TADA, Shigenori); 〒170-0013 東京
東京都 品川区 北品川 6 丁目 7 番 3 5 号 Tokyo (JP). 多田特許事務所 Tokyo (JP).
(81) 指定国 (国内): CN, KR, SG, US.

[続葉有]

(54) Title: LATCH, LATCH DRIVE METHOD, AND FLAT DISPLAY DEVICE

(54) 発明の名称: ラッチ、ラッチの駆動方法、フラットディスプレイ装置



(57) Abstract: The present invention can be applied, for example, to a horizontal drive circuit of a liquid crystal display device and a liquid crystal display device using the horizontal drive circuit. In the state that a CMOS latch cell (12) is disconnected from power sources (VDD2, VSS2), input of the CMOS latch cell (12) is connected to a circuit (51) of a preceding stage and corresponding data is set. After this, the input of the CMOS latch cell (12) is disconnected from the circuit (51) of the preceding stage. Moreover, the power sources (VDD2, VSS2) of the CMOS latch cell (12) are raised and the data which has been set in the CMOS latch cell (12) is level-shifted.

(57) 要約: 本発明は、例えば液晶表示装置の水平駆動回路、この水平駆動回路による液晶表示装置等に適用して、CMOSラッチセル12を電源VDD2、VSS2から切り離した状態で、このCMOSラッチセル12の入力を前段の回路51に接続して対応するデータをセットした後、この前段の回路51からCMOS

[続葉有]



添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

ラッチセル12の入力を切り離すと共に、CMOSラッチセル12の電源VDD2、VSS2を立ち上げて、CMOSラッチセル12にセットしたデータをレベルシフトさせる。

明細書

ラッチ、ラッチの駆動方法、フラットディスプレイ装置

発明の背景

技術分野

5

本発明は、ラッチ、ラッチの駆動方法、フラットディスプレイ装置に関し、例えば液晶表示装置の水平駆動回路、この水平駆動回路による液晶表示装置等に適用することができる。本発明は、CMOSラッチセルを電源から切り離した状態で、このCMOSラッチセルの入力を前段の回路に接続して対応するデータをセ
10 ットした後、この前段の回路からCMOSラッチセルの入力を切り離すと共に、CMOSラッチセルの電源を立ち上げて、CMOSラッチセルにセットしたデータをレベルシフトさせることにより、従来に比して消費電力を低減し、構成を簡略化し得る。

背景技術

15 近年、例えばPDA、携帯電話等の携帯端末装置に適用されるフラットディスプレイ装置である液晶表示装置においては、液晶表示パネルを構成する絶縁基板であるガラス基板上に、液晶表示パネルの駆動回路を一体に構成するものが提供されるようになされている。

この種の液晶表示装置においては、例えば特開2000-242209号公報
20 に開示されているように、複数系統の基準電圧を画像データに応じて選択することにより画像データをディジタルアナログ変換して駆動信号を生成する方式が採用されるようになされている。

すなわち第1図は、この方式によるディジタルアナログ変換回路を示す接続図である。ディジタルアナログ変換回路1は、画像データD1の各ビットb0～b
25 4の論理値によりそれぞれオンオフ動作するスイッチ回路による直列回路が階調に対応して複数個設けられ、これらの直列回路一端にそれぞれ各基準電圧V0～V31が供給され、またこれら直列回路の他端が液晶表示パネルのコラム線SIGOUTに接続される。なおこの第1図は、画像データD1が5ビットの場合であり、スイッチ回路は、導電型のMOS (Metal Oxide Semiconductor) トラン

ジスタにより形成され、画像データD 1の値に応じて対応する基準電圧を選択し得るように、Nチャンネル及びPチャンネルが適宜配置される。これによりデジタルアナログ変換回路1は、画像データD 1に応じて基準電圧V 0～V 3 1を選択して出力するようになされている。

- 5 このようなデジタルアナログ変換回路1の構成に対応して、この種の液晶表示装置においては、画像データD 1の各ビットb 0～b 4をレベルシフトさせてデジタルアナログ変換回路1に入力し、これによりデジタルアナログ変換回路のスイッチ回路を構成する導電型のMOS トランジスタを確実にオンオフ制御するようになされている。
- 10 すなわち第2図は、デジタルアナログ変換回路1に入力される画像データD 1について、その1ビットの処理系を示す接続図である。この種の液晶表示装置においては、この1ビットの処理系が画像データD 1のビット数分だけ設けられて、第1図のデジタルアナログ変換回路1と共に、1個の液晶セルについての階調が設定され、またこの1個の液晶セルに対応する構成が水平方向に連続する
- 15 液晶セルに対応して順次形成されて水平駆動回路が構成される。

ここでこの処理系は、ラスタ走査順に入力される画像データDATAを対応するタイミングでサンプリングするサンプリングラッチ3と、このサンプリングラッチによるラッチ結果を水平走査周期でラッチした後、レベルシフトさせる第2ラッチ4とにより構成される。

- 20 サンプリングラッチ3は、ゲート及びドレインがそれぞれ共通に接続されたNチャンネルMOS（以下、NMOSと呼ぶ）トランジスタQ 1及びPチャンネルMOS（以下、PMOSと呼ぶ）トランジスタQ 2からなるCMOSインバータ5と、同様に、ゲート及びドレインがそれぞれ共通に接続されたNMOS トランジスタQ 3及びPMOS トランジスタQ 4からなるCMOSインバータ6とが電
- 25 源VDD 1及びグランドとの間に並列に接続される。サンプリングラッチ3は、CMOSインバータ5の出力がCMOSインバータ6に入力され、またサンプリングパルス s pの反転信号によりオンオフ動作するNMOS トランジスタQ 5を介して、CMOSインバータ6の出力がCMOSインバータ5に入力される。これによりサンプリングラッチ3は、比較器構成のCMOSラッチセル7が形成さ

れるようになされている。サンプリングラッチ 3 は、サンプリングパルス s_p によりオンオフ動作する NMOS トランジスタ Q_6 を介して、CMOS インバータ 5 に画像データの 1 ビットのデータ $DATA$ が入力される。なおここでこのデータ $DATA$ においては、論理値に応じて 0 ~ 3 [V] 程度により信号レベルが変
5 化するようになされている。

サンプリングラッチ 3 は、このような比較器構成の CMOS ラッチセル 7 でラッチされたラッチ結果が、NMOS トランジスタ Q_7 及び PMOS トランジスタ Q_8 からなる CMOS インバータ 8 に入力されて続く第 2 ラッチ 4 に出力され、またこの CMOS インバータ 8 の反転出力が、NMOS トランジスタ Q_9 及び P
10 MOS トランジスタ Q_{10} からなる CMOS インバータ 9 を介して続く第 2 ラッチ 4 に出力される。これにより第 3 図に示すように、サンプリングラッチ 3 においては、サンプリングパルス s_p (第 3 図 (B)) によりデータ $DATA$ (第 3 図 (A)) をラッチし、ラッチ結果 $1Lout$ (第 3 図 (C)) を出力するようになされている。

15 第 2 ラッチ 4 は、NMOS トランジスタ Q_{11} 及び PMOS トランジスタ Q_{12} からなる CMOS インバータ 10 と、NMOS トランジスタ Q_{13} 及び PMOS トランジスタ Q_{14} からなる CMOS インバータ 11 とにより比較器構成の CMOS ラッチセル 12 が形成され、サンプリングラッチ 3 のラッチ結果 $1Lout$ 、このラッチ結果 $1Lout$ の反転出力をラッチパルス oe_1 により動作する
20 NMOS トランジスタ Q_{15} 、 Q_{16} を介して、この CMOS ラッチセル 12 に入力する。

第 2 ラッチ 4 は、所定のパルス oe_2 、このパルス oe_2 の反転信号 xoe_2 により相補的にオンオフ動作する NMOS トランジスタ Q_{17} 、 Q_{19} を介して、CMOS ラッチセル 12 がグランド VSS_1 、負側電源 VSS_2 に接続され、
25 また同様の PMOS トランジスタ Q_{20} 、 Q_{22} を介して、CMOS ラッチセル 12 が電源 VDD_2 及び VDD_1 に接続される。また第 2 ラッチ 4 は、この CMOS ラッチセル 12 の出力を、NMOS トランジスタ Q_{23} 及び PMOS トランジスタ Q_{24} からなる CMOS インバータ 13 を介してディジタルアナログ変換回路 1 の対応するビットに出力する。第 2 ラッチ 4 においては、パルス oe_2 (

第3図(E))の設定により、CMOSラッチセル12の電源をサンプリングラッチ3の電源VDD1と同一電源に設定した後(時点t1)、ラッチパルスoe1(第3図(D))によりサンプリングラッチ3のラッチ結果をCMOSラッチセル12にラッチするようになされている(時点t2)。またこのようにしてラッチ結果をCMOSラッチセル12でラッチすると、ラッチパルスoe1の立ち下げによりサンプリングラッチ3を切り離れた後(時点t3)、パルスoe2の立ち下げにより、CMOSラッチセル12の電源電圧を切り換え(時点t4)、これによりラッチ結果をレベルシフトさせて出力するようになされている(第3図(F))。

10 ところで第2図について上述した第2ラッチ4においては、相補的にオンオフ動作してCMOSラッチセル12の電源を切り換えるトランジスタQ20、Q22が、瞬間的に、同時にオン状態となる場合を完全に防止し得ず、この場合、第2ラッチ4で瞬間的に大きな電力を消費することになる。具体的には、電源VDD2から電源VDD1に、また電源VSS1から電源VSS2に貫通電流が流れ
15 る恐れがある。

これによりこのような瞬間的な貫通電流を防止することができれば、その分、この種のフラットディスプレイ装置においては、消費電力を低減して使い勝手を向上することができる。

またこの第2ラッチ4の構成を簡略化することができれば、その分、この種の
20 表示装置において、いわゆる狭額縁化を図ることができる。

発明の開示

本発明は以上の点を考慮してなされたもので、従来に比して消費電力を低減し、簡易な構成によるラッチ、ラッチの駆動方法、フラットディスプレイ装置を提
25 案しようとするものである。

かかる課題を解決するため本発明においては、連続する画像データをサンプリングラッチするラッチ、又は前段のサンプリングラッチのラッチ結果をラッチするラッチに適用して、CMOSラッチセルと、CMOSラッチセルを電源に接続する電源スイッチと、CMOSラッチセルの入力段に配置された入力スイッチと

を有するラッチであって、電源スイッチと入力スイッチとを相補的にオンオフ操作することにより、CMOSラッチセルを電源から切り離した状態で、ラッチに供するデータをCMOSラッチセルにセットした後、前段の回路からCMOSラッチセルの入力を切り離すと共に、CMOSラッチセルの電源を立ち上げて、CMOSラッチセルにセットしたデータをレベルシフトさせる。

本発明の構成によれば、電源スイッチと入力スイッチとを相補的にオンオフ操作することにより、CMOSラッチセルを電源から切り離した状態で、ラッチに供するデータをCMOSラッチセルにセットした後、前段の回路からCMOSラッチセルの入力を切り離すと共に、CMOSラッチセルの電源を立ち上げて、CMOSラッチセルにセットしたデータをレベルシフトさせれば、1つの電源への接続の処理により、電源を切り換える際の貫通電流を有効に回避し得、その分、消費電力を少なくすることができる。また電源に係る制御が簡単になった分、全体構成を簡略化することができる。

また本発明においては、連続する画像データをサンプリングラッチするCMOSラッチセル、又は前段のサンプリングラッチのラッチ結果をラッチするCMOSラッチセルによるラッチの駆動方法に適用して、CMOSラッチセルを電源から切り離した状態で、CMOSラッチセルの入力を前段の回路に接続してCMOSラッチセルに対応するデータをセットした後、前段の回路からCMOSラッチセルの入力を切り離すと共に、CMOSラッチセルの電源を立ち上げて、CMOSラッチセルにセットしたデータをレベルシフトさせる。

これにより本発明の構成によれば、従来に比して消費電力を低減し、簡易な構成によるラッチの駆動方法を提供することができる。

また本発明においては、マトリックス状に画素を配置してなる表示部と、表示部の画素を駆動する駆動回路とを基板上に一体に形成してなるフラットディスプレイ装置に適用して、駆動回路のうちの、表示部の画素の階調を設定する水平駆動回路が、連続する画像データを順次ラッチするサンプリングラッチと、サンプリングラッチによるラッチ結果を1ライン周期でラッチする第2ラッチと、第2ラッチの出力をデジタルアナログ変換して表示部に出力するデジタルアナログ変換回路とを備え、サンプリングラッチ又は第2ラッチは、CMOSラッチセ

ルを電源から切り離した状態で、CMOSラッチセルの入力を前段の回路に接続してCMOSラッチセルに対応するデータをセットした後、前段の回路からCMOSラッチセルの入力を切り離すと共に、CMOSラッチセルの電源を立ち上げて、CMOSラッチセルにセットしたデータをレベルシフトさせる。

- 5 これにより本発明の構成によれば、従来に比して消費電力を低減し、簡易な構成によるフラットディスプレイ装置を提供することができる。

図面の簡単な説明

- 第1図は、基準電圧を選択する方式によるデジタルアナログ変換回路を示す
10 接続図である。

第2図は、従来のサンプリングラッチ及び第2ラッチを示す接続図である。

第3図は、第2図のサンプリングラッチ及び第2ラッチの動作の説明に供するタイムチャートである。

- 第4図は、本発明の第1の実施例に係るサンプリングラッチ及び第2ラッチに
15 よる液晶表示部による携帯端末装置を示すブロック図である。

第5図は、第4図の水平駆動回路を示すブロック図である。

第6図は、第4図のサンプリングラッチ及び第2ラッチを示す接続図である。

第7図は、第6図のサンプリングラッチ及び第2ラッチの動作の説明に供するタイムチャートである。

- 20 第8図は、本発明の第2の実施例に係るサンプリングラッチ及び第2ラッチを示す接続図である。

第9図は、第8図のサンプリングラッチ及び第2ラッチの動作の説明に供するタイムチャートである。

25 発明を実施するための最良の形態

以下、適宜図面を参照しながら本発明の実施例を詳述する。

(1) 第1の実施例

第4図は、本発明の第1の実施例に係る携帯端末装置に係る画像表示部を示すブロック図である。この携帯端末装置は、例えば携帯電話、PDA等であり、こ

の画像表示部 31 により所望の画像を表示する。このためこの画像表示部 31 においては、画像処理回路 32 に内蔵の画像メモリに画像データ D1 を格納し、この画像データ D1 を順次液晶表示装置 33 に出力する。またこの画像データ D1 の出力に同期して、マスタクロック MCK、垂直同期信号 VSYNC、水平同期信号 HSYNC を出力する。

この携帯端末装置は、内蔵の液晶表示装置 33 にこれら画像データ D1、マスタクロック MCK、垂直同期信号 VSYNC、水平同期信号 HSYNC を入力し、この液晶表示装置 33 により画像を表示する。ここでこの液晶表示装置 33 は、マトリックス状に画素を配置してなる表示部 34 と、この表示部 34 の画素を駆動する駆動回路 35 とをガラス基板上に一体に形成してなるフラットディスプレイ装置である。この実施例では、この表示部 34 の画素が、液晶セル、この液晶セルをスイッチングするポリシリコン TFT、補助容量とにより構成される。

これに対して駆動回路 35 は、インターフェース (IF) 36 を介してマスタクロック MCK、垂直同期信号 VSYNC、水平同期信号 HSYNC をタイミングジェネレータ (TG) 37 に入力し、ここで各種動作基準のタイミング信号を生成する。DC-DC コンバータ (DDC) 41 は、このタイミングジェネレータ 37 で生成される所定のタイミング信号により動作して、この液晶表示装置 33 に供給される電源 VDD から各部の動作に必要な電源 VDD2、VSS2、HVS2 等を生成する。

垂直駆動回路 38 は、同様に、タイミングジェネレータ 37 で生成される所定のタイミング信号により動作して、表示部 34 のラインを選択する選択信号を出力する。基準電圧発生回路 39 は、水平駆動回路 40 の処理に必要な基準電圧を生成し、水平駆動回路 40 は、画像データ D1 による階調データにより表示部 34 の対応する画素の階調を設定する。

この実施例においてこの水平駆動回路 40 は、第 5 図に示すようにサンプリングラッチ 51、第 2 ラッチ 52、ディジタルアナログ変換回路 (DAC) 53 により構成される。ここでディジタルアナログ変換回路 53 は、第 1 図について上述したディジタルアナログ変換回路 1 と同一に構成される。

第 6 図に示すように、またサンプリングラッチ 51 は、第 2 図について上述し

たサンプリングラッチ 3 と同一に構成される。これに対して第 2 ラッチ 5 2 は、電源及びグランドに配置されたトランジスタ Q 2 2、Q 1 7 が省略されて、またトランジスタ Q 1 9、Q 2 0 が、第 2 ラッチ 5 2 の入力を制御するアウトプットイネーブル o e により共通に制御される点を除いて、第 2 図について上述した従来構成による第 2 ラッチ 4 と同一に構成される。

すなわち第 7 図に示すように、従来と同様に、サンプリングラッチ 5 1 においては、振幅 0 ～ 6 [V] のサンプリングパルス s p (第 7 図 (B)) により振幅 0 ～ 3 [V] のデータ DATA (第 7 図 (A)) をラッチし、これにより振幅 0 ～ 3 [V] のラッチ結果 1 L o u t (第 7 図 (C)) を出力する。

10 第 2 ラッチ 5 2 においては、振幅 - 3 ～ 6 [V] のアウトプットイネーブルパルス o e (第 7 図 (D)) が時点 t 1 で立ち上がることにより、このサンプリングラッチ 5 1 によるラッチ結果 1 L o u t (第 7 図 (C)) が、CMOS インバータ 1 0 及び 1 1 を構成するトランジスタ Q 1 1 ～ Q 1 4 のゲートに転送され (第 7 図 (E))、続く時点 t 2 でアウトプットイネーブルパルス o e が立ち下がると、サンプリングラッチ 5 1 との接続が絶たれると共に、CMOS ラッチセル 1 2 が電源 VDD 2 に接続され、これによりレベルシフトされたデータ信号 2 L o u t が出力される。

これらによりこの実施例では、ラッチに使用する CMOS 構成の CMOS ラッチセル 1 2 を電源 VDD 2、VSS 2 から切り離れた状態で、ラッチに供するデータをこの CMOS ラッチセル 1 2 にセットした後、前段の回路からこの CMOS ラッチセル 1 2 の入力を切り離すと共に、トランジスタ Q 1 9、Q 2 0 によりこの CMOS ラッチセル 1 2 の電源を立ち上げることにより、従来のようなトランジスタ Q 2 2、Q 2 0 による 2 つの電源 VDD 1、VDD 2 の切り換えを実施しなくても、データ信号 2 L o u t をレベルシフトさせて出力できるようになさ
25 れている。

これにより水平駆動回路 4 0 においては、1 ビットの処理に係る第 2 ラッチでそれぞれトランジスタを 2 個ずつ省略することができ、これにより構成を簡略化して狭額縁化を図り得るようになされている。また電源の切り換えによる貫通電流の発生についても有効に回避し得、その分、消費電力を少なくすることができ

るようになされている。また電源の配線も小さくし得、これによっても全体構成を簡略化することができるようになされている。。

以上の構成によれば、ラッチに使用するCMOS構成のラッチセル12を電源VDD2、VSS2から切り離した状態で、ラッチに供するデータをこのCMOSラッチセル12にセットした後、前段の回路からこのCMOSラッチセル12の入力を切り離すと共に、トランジスタQ19、Q20によりこのCMOSラッチセル12の電源を立ち上げることにより、従来のようなトランジスタQ22、Q20による2つの電源VDD1、VDD2の切り換えを実施しなくても、データ信号をレベルシフトさせて出力することができる。これにより、従来に比して消費電力を低減し、構成を簡略化することができる。

(2) 第2の実施例

第8図は、第2の実施例に係るサンプリングラッチ61及び第2ラッチ62であり、第6図について上述したサンプリングラッチ51及び第2ラッチ52に代えて適用される。

ここでこのサンプリングラッチ61及び第2ラッチ62は、サンプリングラッチ61でラッチする際に、併せてレベルシフトさせる。すなわちサンプリングラッチ61では、CMOSラッチセル7が、サンプリングパルス s_p によりオンオフ動作するトランジスタQ31、Q32により電源に接続され、これにより第9図に示すように、サンプリングラッチ61において、CMOSラッチセル7を電源VDD2、VSS2から切り離した状態で、ラッチに供するデータをこのCMOSラッチセル7にセットした後（第9図（A）～（C））、前段の回路からこのCMOSラッチセル7の入力を切り離すと共に、トランジスタQ31、Q32によりこのCMOSラッチセル7の電源を立ち上げることにより、サンプリングラッチ61でレベルシフトの処理を実行した後、第2ラッチ62でラッチする（第9図（D）～（E））。

この実施例のようにサンプリングラッチ側で併せてレベルシフトさせるようにしても、第1の実施例と同様の効果を得ることができる。

(3) 他の実施例

なお上述の実施例においては、各画素の各ビットの処理系にそれぞれトランジスタQ19、Q20又はQ31、Q32を設ける場合について述べたが、本発明はこれに限らず、これら処理系をグループ化して各グループにそれぞれこれらのトランジスタを配置してまとめて電源を制御するようにしてもよく、さらにはすべての処理系でまとめて電源を制御するようにしてもよい。

また上述の実施例においては、液晶セルによる画素を駆動する場合について述べたが、本発明はこれに限らず、種々の表示手段により画素を構成するフラットディスプレイ装置に広く適用することができる。

10

上述のように本発明によれば、CMOSラッチセルを電源から切り離れた状態で、このCMOSラッチセルの入力を前段の回路に接続して対応するデータをセットした後、この前段の回路からCMOSラッチセルの入力を切り離すと共に、CMOSラッチセルの電源を立ち上げて、CMOSラッチセルにセットしたデータをレベルシフトさせることにより、従来に比して消費電力を低減し、構成を簡略化することができる。

産業上の利用可能性

本発明は、ラッチ、ラッチの駆動方法、フラットディスプレイ装置に関し、例えば液晶表示装置の水平駆動回路、この水平駆動回路による液晶表示装置等に適用することができる。

請求の範囲

1. 連続する画像データをサンプリングラッチするラッチ、又は前段のサンプリングラッチのラッチ結果をラッチするラッチであって、

5 CMOSラッチセルと、

前記CMOSラッチセルを電源に接続する電源スイッチと、

前記CMOSラッチセルの入力段に配置された入力スイッチとを有するラッチであって、

前記電源スイッチと前記入力スイッチとを相補的にオンオフ操作することにより、
10

前記CMOSラッチセルを電源から切り離した状態で、ラッチに供するデータを前記CMOSラッチセルにセットした後、

前段の回路から前記CMOSラッチセルの入力を切り離すと共に、前記CMOSラッチセルの電源を立ち上げて、前記CMOSラッチセルにセットしたデータ
15 をレベルシフトさせる

ことを特徴とするラッチ。

2. 連続する画像データをサンプリングラッチするCMOSラッチセル、又は前段のサンプリングラッチのラッチ結果をラッチするCMOSラッチセルによるラ
20 ッチの駆動方法において、

前記CMOSラッチセルを電源から切り離した状態で、前記CMOSラッチセルの入力を前段の回路に接続して前記CMOSラッチセルに対応するデータをセットした後、

前記前段の回路から前記CMOSラッチセルの入力を切り離すと共に、前記CMOSラッチセルの電源を立ち上げて、前記CMOSラッチセルにセットしたデータ
25 をレベルシフトさせる

ことを特徴とするラッチの駆動方法。

3. マトリックス状に画素を配置してなる表示部と、前記表示部の画素を駆動す

る駆動回路とを基板上に一体に形成してなるフラットディスプレイ装置において

、
前記駆動回路のうちの、前記表示部の画素の階調を設定する水平駆動回路が、
連続する画像データを順次ラッチするサンプリングラッチと、

- 5 前記サンプリングラッチによるラッチ結果を1ライン周期でラッチする第2ラッチと、

前記第2ラッチの出力をデジタルアナログ変換して前記表示部に出力するデジタルアナログ変換回路とを備え、

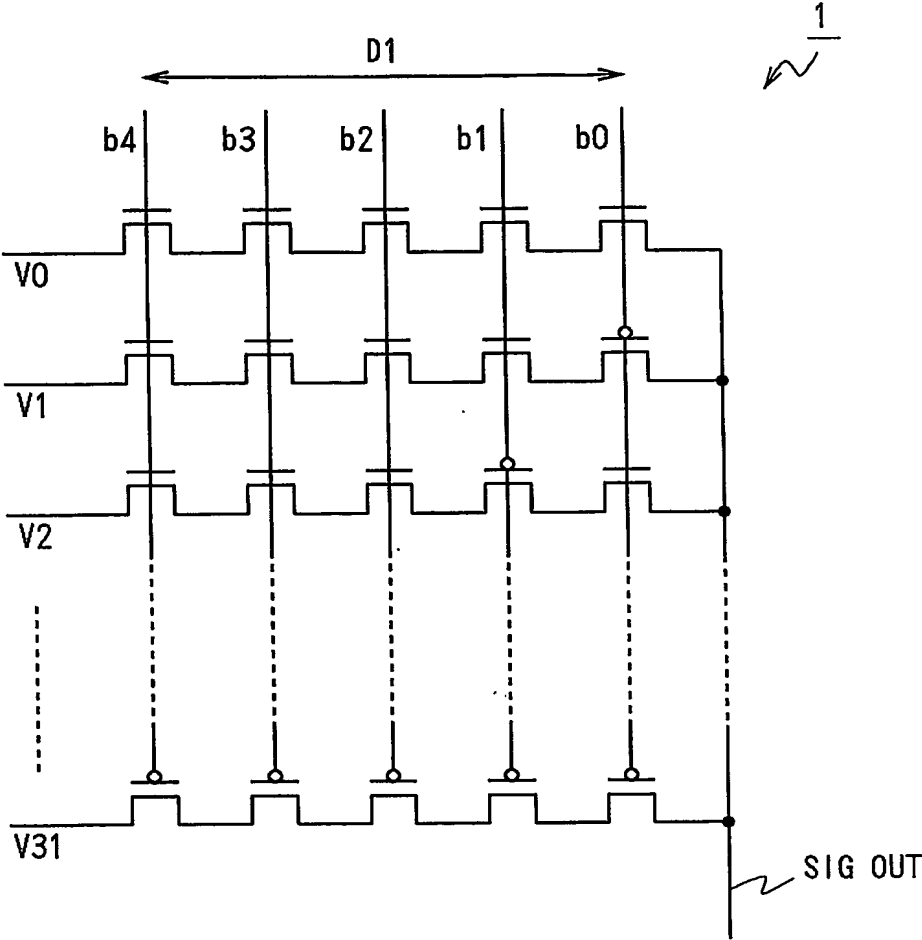
前記サンプリングラッチ又は前記第2ラッチは、

- 10 CMOSラッチセルを電源から切り離した状態で、前記CMOSラッチセルの入力を前段の回路に接続して前記CMOSラッチセルに対応するデータをセットした後、

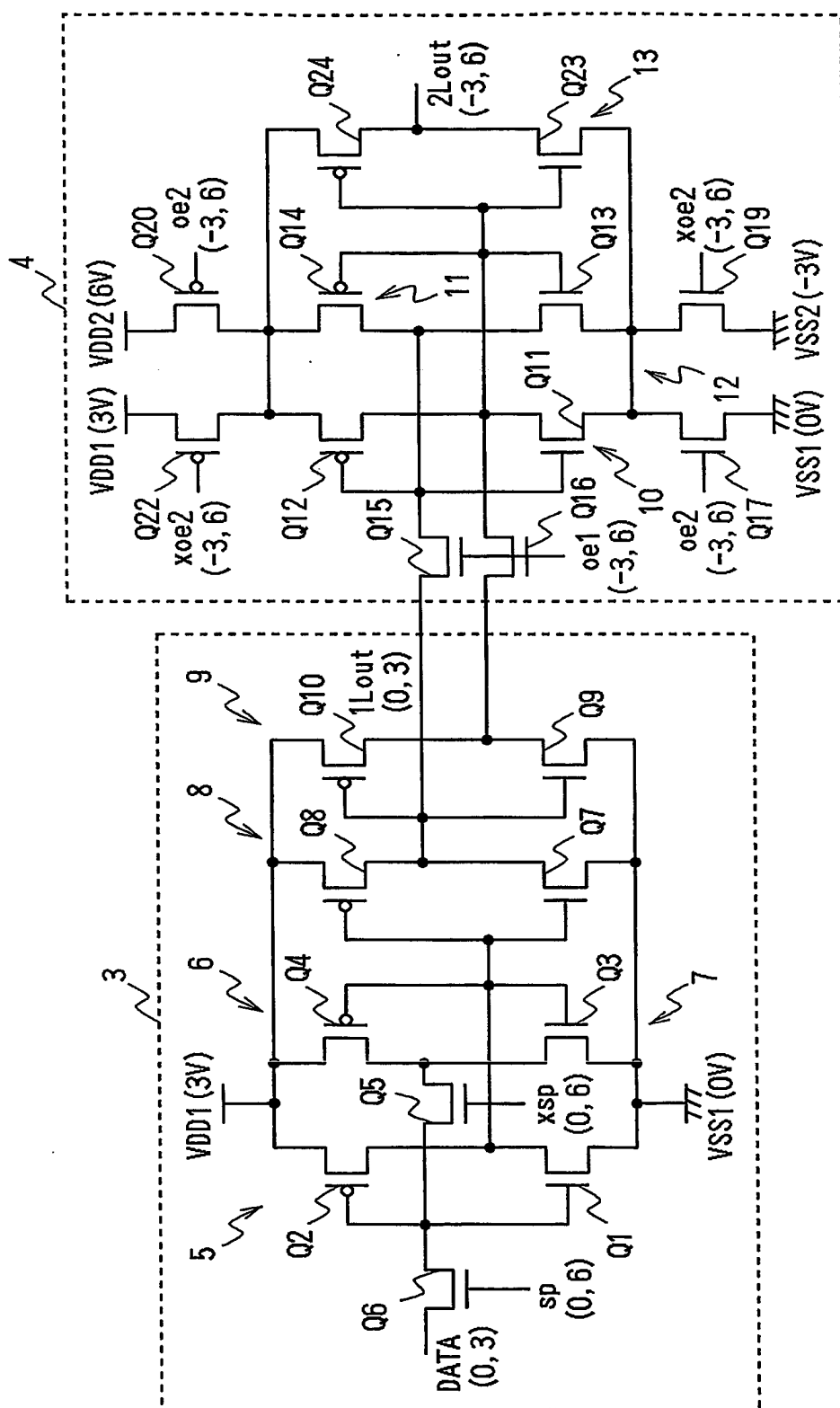
前記前段の回路から前記CMOSラッチセルの入力を切り離すと共に、前記CMOSラッチセルの電源を立ち上げて、前記CMOSラッチセルにセットしたデ

- 15 ータをレベルシフトさせる

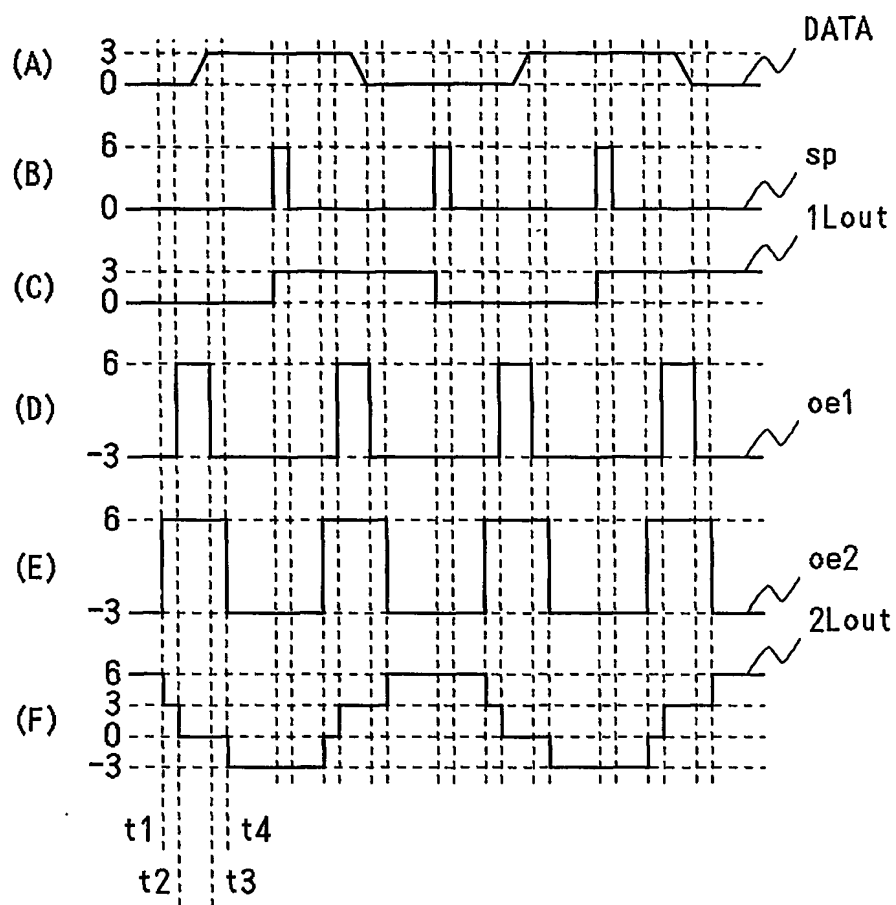
ことを特徴とするフラットディスプレイ装置。



第 1 図



第2図



第3図

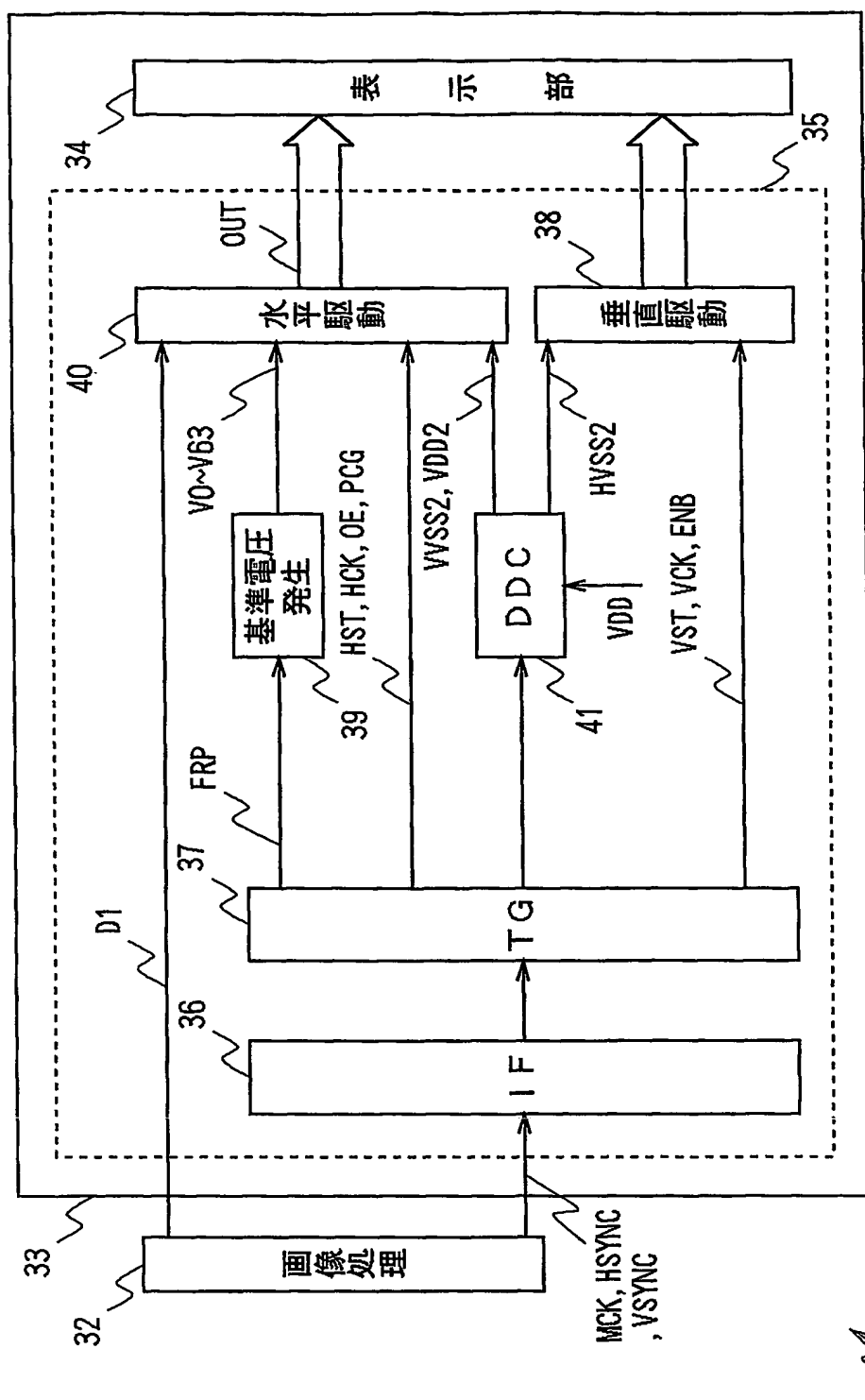
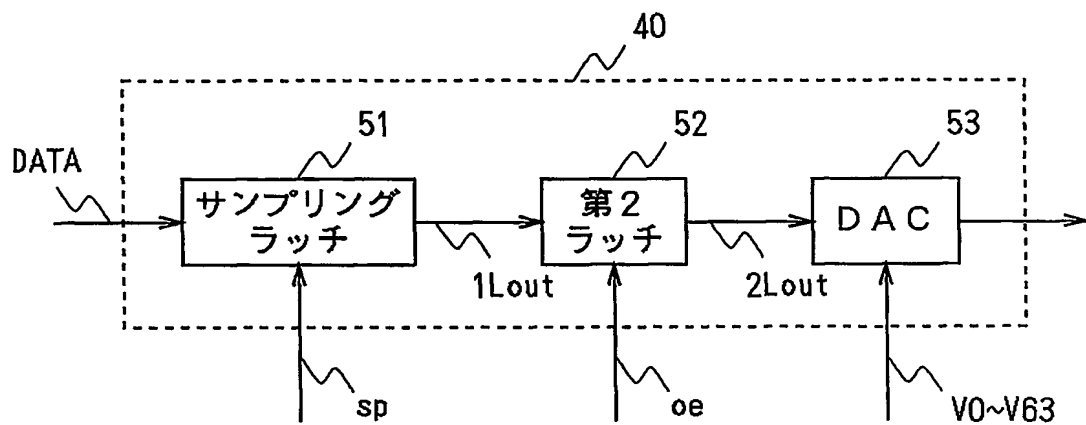
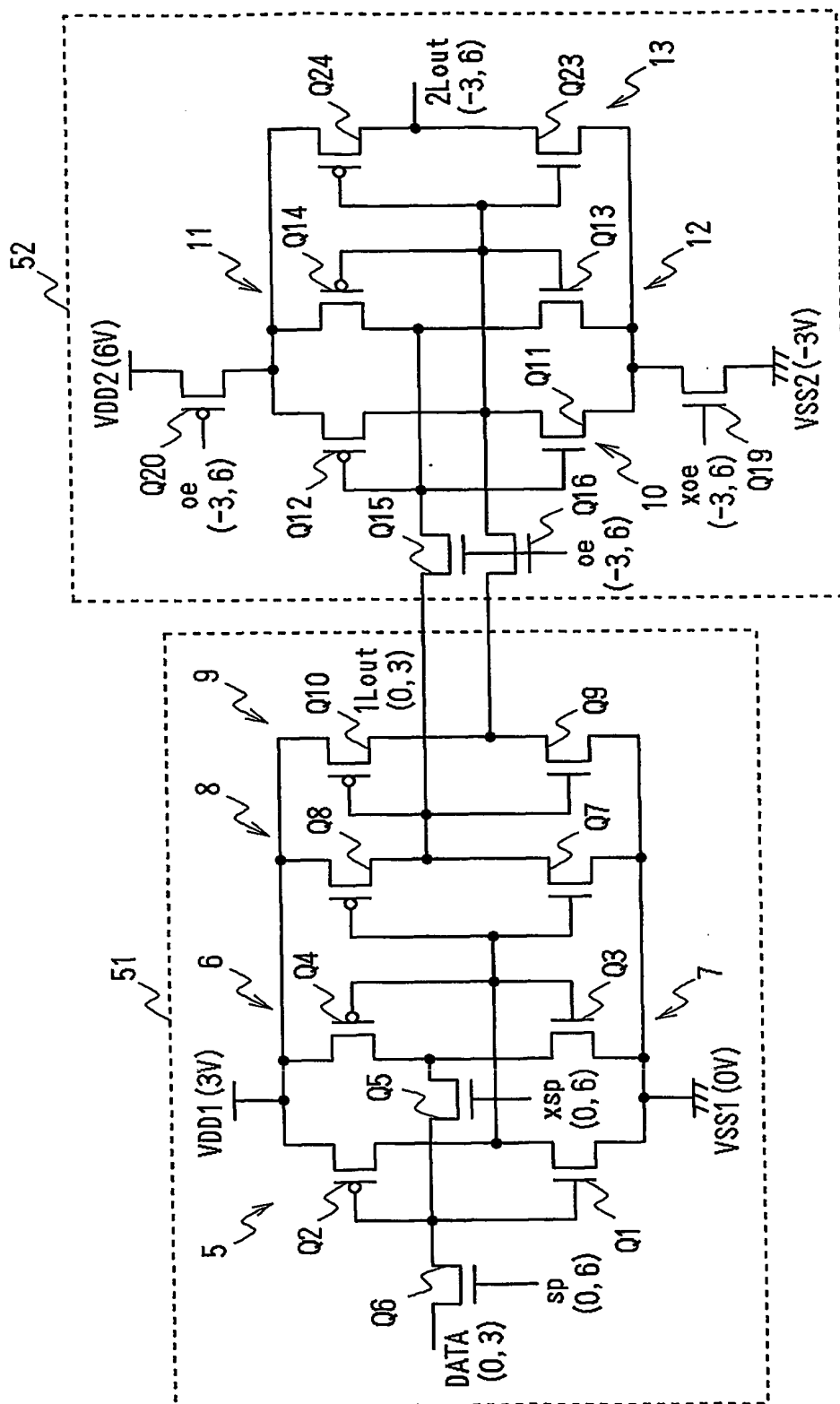


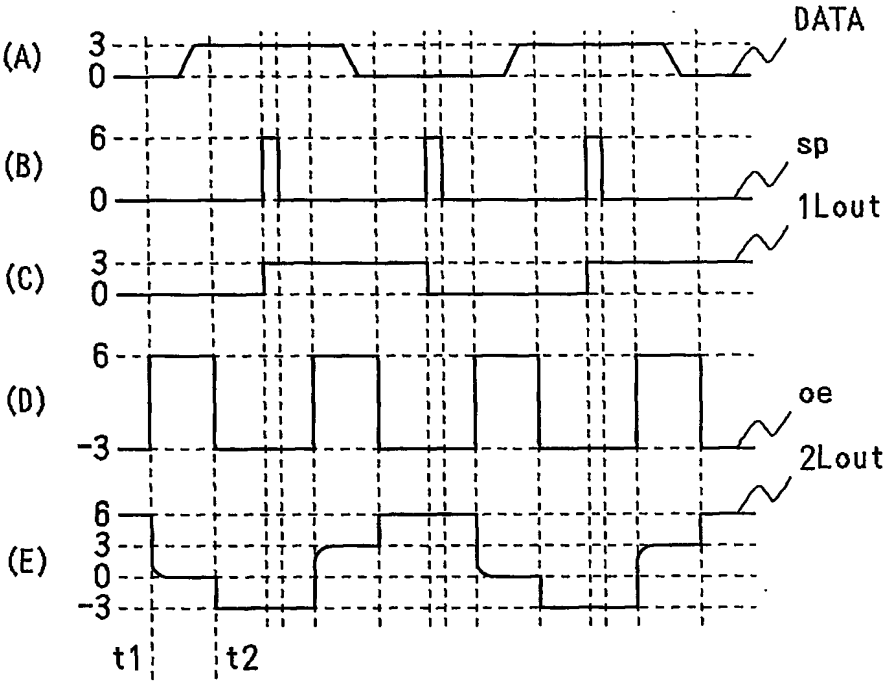
図 4



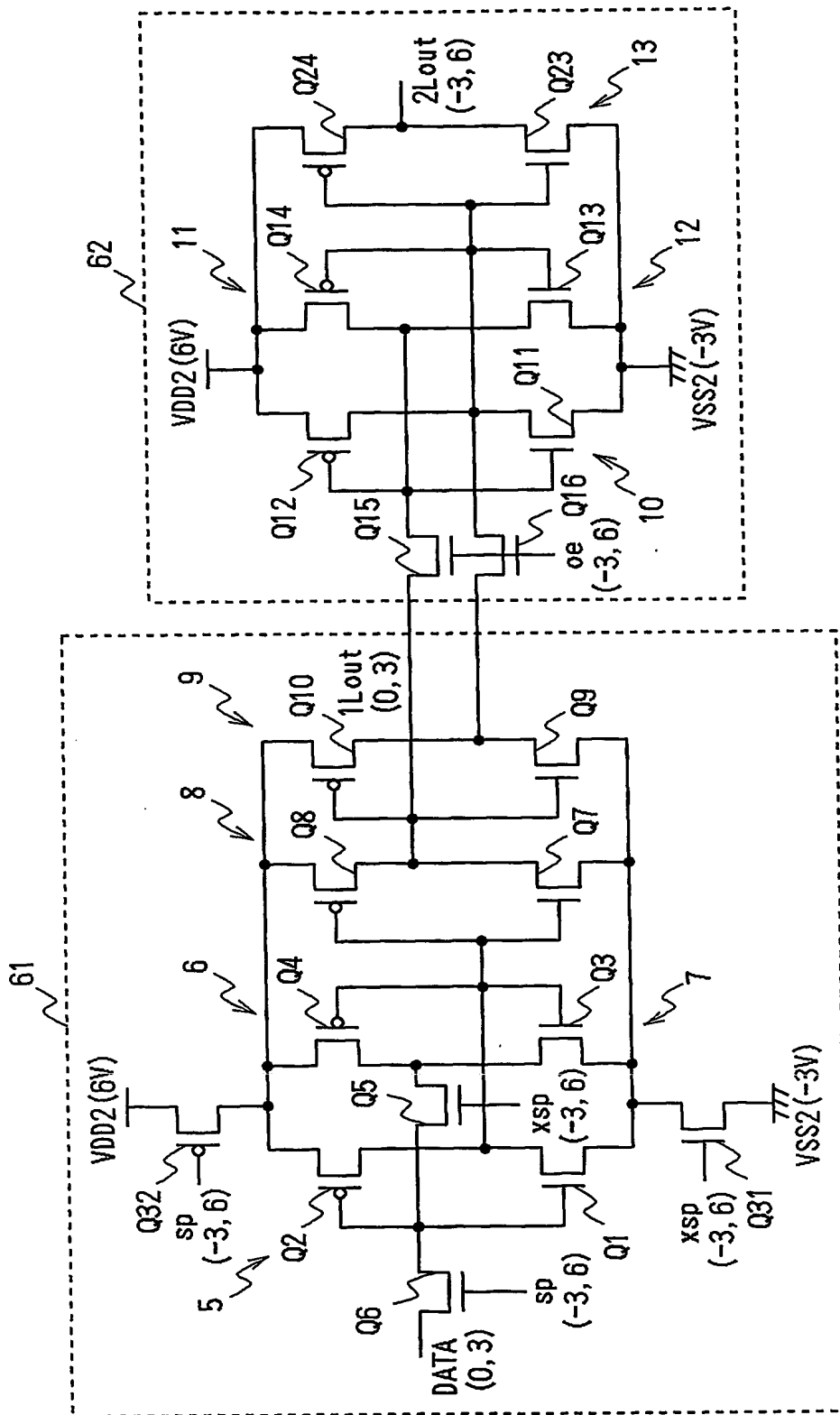
第5図



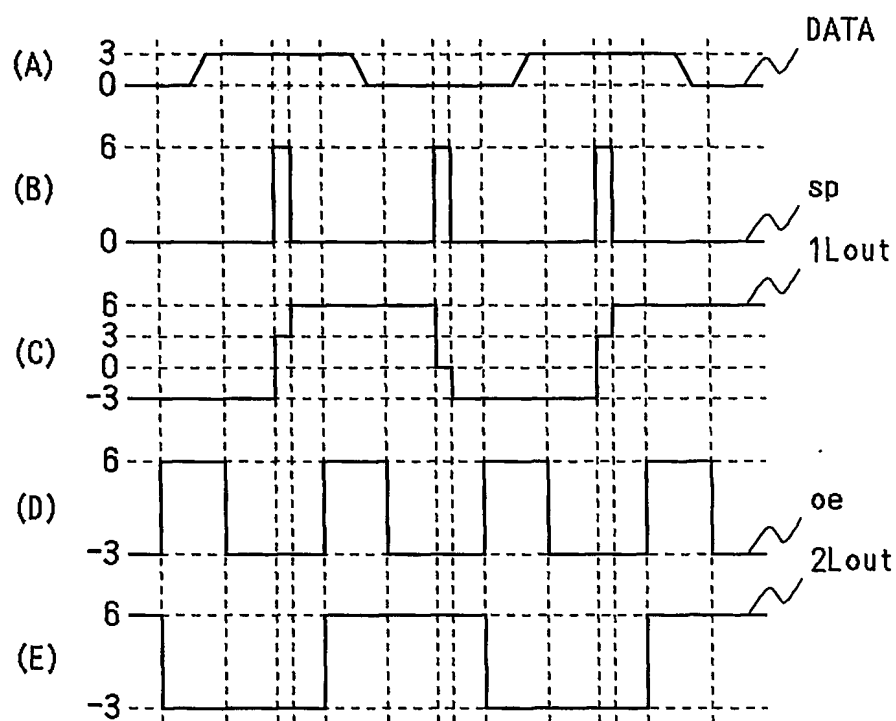
第 6 図



第7図



第8図



第9図

符号の説明

1、53……デジタルアナログ変換回路、3、51、61……
サンプリングラッチ、4、52、62……第2ラッチ、5、6、
8、9、10、11、13……インバータ、7、12……ラッチセ
ル、31……画像表示部、32……画像処理回路、33……液晶表
示装置、34……表示部、35……駆動回路、36……インターフ
ェース、37……タイミングジェネレータ、38……垂直駆動回
路、39……基準電圧発生回路、40……水平駆動回路、41……
DC-DCコンバータ、Q1～Q17、Q19～Q24、Q31、
Q32……トランジスタ

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP03/16865

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl.⁷ G09G3/36, 3/20, G02F1/133, H03K3/356

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl.⁷ G09G3/20-3/38, G02F1/133, H03K3/356

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1926-1996 Jitsuyo Shinan Toroku Koho 1996-2004
Kokai Jitsuyo Shinan Koho 1971-2004 Toroku Jitsuyo Shinan Koho 1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2000-221926 A (Sony Corp.), 11 August, 2000 (11.08.00), Full text; all drawings & EP 1014334 A2	1-3
A	JP 11-289246 A (NEC Corp.), 19 October, 1999 (19.10.99), Full text; all drawings & EP 0949629 A2 & US 6208170 B1	1-3
A	WO 01/018962 A1 (Lucent Technologies Inc.), Full text; all drawings (Family: none)	1-3

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search
02 March, 2004 (02.03.04)

Date of mailing of the international search report
16 March, 2004 (16.03.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/16865

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2002-311920 A (Matsushita Electric Industrial Co., Ltd.), 25 October, 2002 (25.10.02), Full text; all drawings (Family: none)	1-3
A	JP 7-199873 A (Casio Computer Co., Ltd.), 04 August, 1995 (04.08.95), Full text; all drawings & EP 0662678 A1 & US 5724061 A	1-3

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ G09G 3/36, 3/20
G02F 1/133
H03K 3/356

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ G09G 3/20-3/38
G02F 1/133
H03K 3/356

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年
日本国公開実用新案公報 1971-2004年
日本国実用新案登録公報 1996-2004年
日本国登録実用新案公報 1994-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2000-221926 A (ソニー株式会社) 2000. 08. 11, 全文, 全図 & EP 1014334 A2	1-3
A	JP 11-289246 A (日本電気株式会社) 1999. 10. 19, 全文, 全図 & EP 0949629 A2 & US 6208170 B1	1-3

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

02. 03. 2004

国際調査報告の発送日

16. 3. 2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

西島 篤宏

2G

9308

電話番号 03-3581-1101 内線 3225

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	WO 01/018962 A1 (ルーセント テクノロジーズ インコーポレイテッド) , 全文, 全図 (ファミリーなし)	1-3
A	JP 2002-311920 A (松下電器産業株式会社) 2002. 10. 25, 全文, 全図 (ファミリーなし)	1-3
A	JP 7-199873 A (カシオ計算機株式会社) 1995. 08. 04, 全文, 全図 & EP 0662678 A1 & US 5724061 A	1-3